

**BEST AVAILABLE COPY**

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日

2004年10月21日 (21.10.2004)

PCT

(10) 国際公開番号

WO 2004/090562 A1

(51) 国際特許分類:

G01R 31/3183

(21) 国際出願番号:

PCT/JP2004/004527

(22) 国際出願日:

2004年3月30日 (30.03.2004)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

|                 |                         |    |
|-----------------|-------------------------|----|
| 10/403,817      | 2003年3月31日 (31.03.2003) | US |
| 10/404,002      | 2003年3月31日 (31.03.2003) | US |
| PCT/JP04/001648 | 2004年2月16日 (16.02.2004) | JP |
| PCT/JP04/001649 | 2004年2月16日 (16.02.2004) | JP |

(71) 出願人(米国を除く全ての指定国について): 株式会社アドバンテスト (ADVANTEST CORPORATION) [JP/JP]; 〒1790071 東京都練馬区旭町1丁目32番1号 Tokyo (JP).

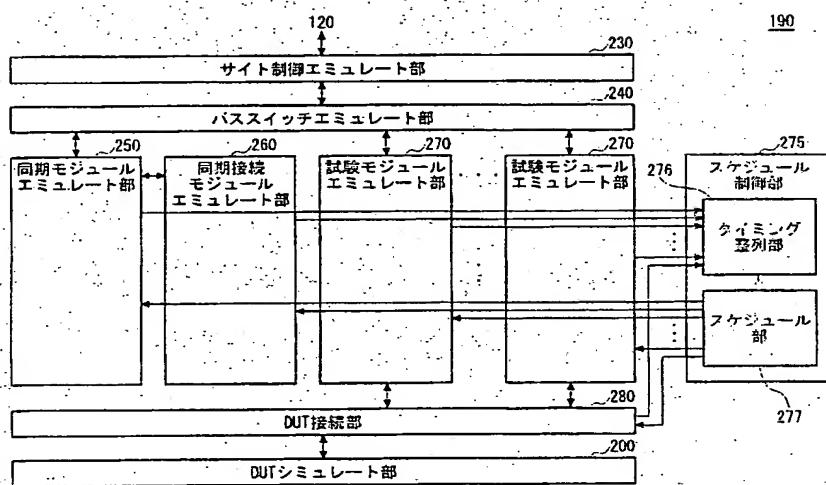
(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 東晋作 (HIGASHI, Shinsaku) [JP/JP]; 〒1790071 東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内 Tokyo (JP). 市吉 清司 (ICHIYOSHI, Seiji) [JP/JP]; 〒1790071 東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内 Tokyo (JP). プラマニック アンカン (PRAMANICK, Ankan) [US/JP]; 〒1790071 東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内 Tokyo (JP). エルストンマーク (ELSTON, Mark)

(続葉有)

(54) Title: TEST EMULATION DEVICE, TEST MODULE EMULATION DEVICE, AND RECORDING MEDIUM RECORDED WITH PROGRAMS FOR THE DEVICES

(54) 発明の名称: 試験エミュレート装置、試験モジュールエミュレート装置、及びこれらのプログラムを記録した記録媒体



- 230...SITE CONTROL EMULATION PORTION
- 240...BUS SWITCH EMULATION PORTION
- 250...SYNCHRONOUS MODULE EMULATION PORTION
- 260...SYNCHRONOUS CONNECTION MODULE EMULATION PORTION
- 270...TEST MODULE EMULATION PORTION
- 275...SCHEDULE CONTROL PORTION
- 276...TIMING ALIGNING PORTION
- 277...SCHEDULE PORTION
- 280...DUT CONNECTION PORTION
- 200...DUT SIMULATION PORTION

(57) Abstract: A test emulation device has test module emulation portions for emulating test modules that generate test signals based on different cycle frequencies, a synchronous emulation portion for generating a test signal generation timing that is to spuriously generate a test signal corresponding to cycle time of the test module emulation portions, a timing aligning portion for aligning, in time-order, test signal generation timings generated by the synchronous emulation portion and sequentially outputting them, and a schedule portion for causing a test module emulation portion corresponding to one test signal generation timing outputted by the timing aligning portion to spuriously generate a test signal in the cycle time corresponding to the one test signal generation timing.

WO 2004/090562 A1

(続葉有)

[US/JP]; 〒1790071 東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内 Tokyo (JP). チエンレオン (CHEN, Leon) [US/JP]; 〒1790071 東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内 Tokyo (JP). サウアー ロバート (SAUER, Robert) [US/JP]; 〒1790071 東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内 Tokyo (JP). クリシュナスワミー ラマチャンドラン (KRISHNASWAMY, Ramachandran) [US/JP]; 〒1790071 東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内 Tokyo (JP). シンハーサンジート (SINGH, Harsanjeet) [US/JP]; 〒1790071 東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内 Tokyo (JP). 足立敏明 (ADACHI, Toshiaki) [JP/JP]; 〒1790071 東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内 Tokyo (JP). 田原善文 (TAHARA, Yoshihumi) [JP/JP]; 〒1790071 東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内 Tokyo (JP).

(74) 代理人: 龍華 明裕 (RYUKA, Akihiro); 〒1600022 東京都新宿区新宿1丁目24番12号 東信ビル6階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドノート」を参照。

(57) 要約:

本発明は、異なるサイクル周期に基づく試験信号を生成する複数の試験モジュールをエミュレートする複数の試験モジュールエミュレート部と、複数の試験モジュールエミュレート部のサイクル時間に対応する試験信号を擬似的に生成すべき試験信号生成タイミングを生成する同期エミュレート部と、同期エミュレート部が生成した複数の試験信号生成タイミングを時刻順に整列して順次出力するタイミング整列部と、タイミング整列部が出力した一の試験信号生成タイミングに対応する試験モジュールエミュレート部に、一の試験信号生成タイミングに対応するサイクル時間における試験信号を擬似的に生成させるスケジュール部と備えた試験エミュレート装置を提供するものである。